

ROTEAMENTO DE PLACAS DE CIRCUITO IMPRESSO: ANÁLISE SOB O ASPECTO DA OTIMIZAÇÃO

ROUTING OF PRINTED CIRCUIT BOARDS: ANALYSIS UNDER THE OPTIMIZATION ASPECT

Ricardo Schleder Tozetto¹, Moacir Kripka²

¹Mestrando do Programa de Pós-Graduação em Engenharia Civil e Ambiental,
Universidade de Passo Fundo, Campus I, Bairro São José, BR-285. Passo Fundo/RS, CEP: 99052-900. E-mail:
ricardo@fancontrol.com.br

²Professor Doutor do Programa de Pós-Graduação em Engenharia Civil e Ambiental,
Universidade de Passo Fundo, Campus I, Bairro São José, BR-285. Passo Fundo/RS, CEP: 99052-900. E-mail:
mkripka@upf.br

Resumo

Este artigo trata o problema de posicionamento e roteamento de placas de circuito impresso e de circuitos integrados que utilizam tecnologia VLSI sob o ponto de vista da otimização. Para isso é realizada uma pesquisa de revisão bibliográfica sobre os processos de produção e montagem de placas de circuito impresso, assim como sobre os processos existentes para a tarefa de posicionamento e roteamento desse tipo de circuito. Neste ponto, os métodos de otimização surgem como a solução para diversas tarefas encontradas por programas especificamente desenhados para essas funções, bem como auxílio para a formulação de modelos relacionados a essas tarefas. Finalmente, conclui-se sobre a necessidade de interdisciplinaridade encontrada nesse campo de estudo, em que diversos métodos matemáticos de otimização devem ser unidos a conhecimentos de computação gráfica e banco de dados.

Palavras-chave: Otimização. Posicionamento de PCB. Roteamento de PCB.

Abstract: This article treats the placement and routing problem in printed circuit boards and integrated circuits with VLSI technology under the point of view of optimization. For this is executed a bibliographic review research about the production processes and mounting of printed circuit boards, as about the existing processes for the task of placement and routing of this kind of circuit. At this point, the optimization methods arise as the solution for many tasks encountered by the specifically designed programs for this function, as well as help for formulation of models related with this tasks. Finally, concludes about interdisciplinarity necessity encountered in this study field, that many optimization mathematical methods must be joined with graphical computation knowledge and database systems.

Keywords: Optimization. PCB placement. PCB routing.

1 Introdução

A enorme evolução tecnológica vivenciada pela tecnologia de informação e áreas afins se deve principalmente aos avanços da tecnologia eletrônica embarcada nos mais diversos equipamentos. Logo, houve um avanço na quantidade, tipo e finalidade dos dispositivos eletrônicos desenvolvidos para os mais variados fins. Uma característica comum a todos esses dispositivos é a necessidade da montagem dos circuitos em um substrato, que pode ser de fibra de vidro ou substâncias como fenolite ou mesmo mica, e recoberto por uma ou mais camadas de material condutor. A esse substrato é dado o nome de

placa de circuito impresso ou *printed circuit boards* (PCB), cuja função principal é efetuar o suporte físico dos componentes e também realizar as conexões necessárias para o funcionamento dos sistemas.

Na

Figura 1, pode-se visualizar um exemplo de PCB.

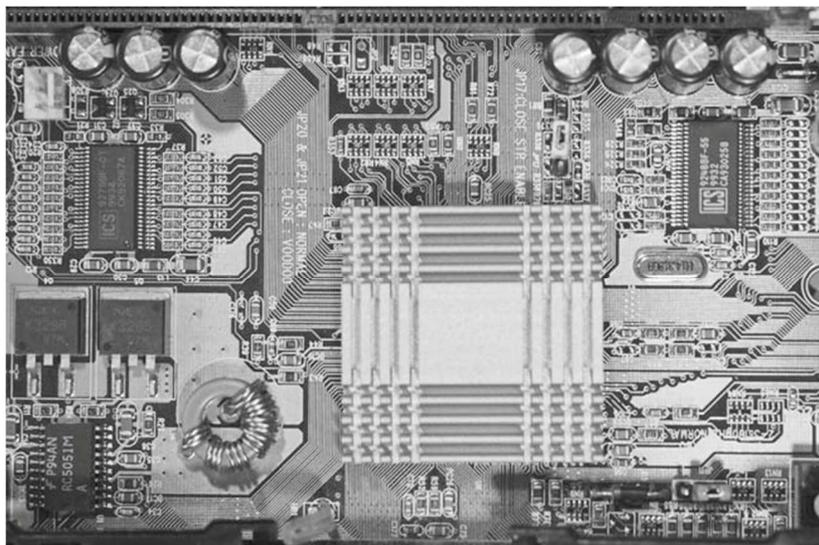


Figura 1: Placa de circuito impresso ou PCB. Fonte: Abboud *et al* (2008).

Aprofundando a análise sob o aspecto de projeto, os dispositivos eletrônicos devem passar por um processo definido de desenho. Inicialmente, deve-se realizar o projeto lógico, que define quais componentes eletrônicos devem ser utilizados e quais interconexões devem ser feitas. O segundo passo é o desenho físico da PCB, em que as posições geométricas dos componentes e suas respectivas conexões elétricas são definidas. O final desse processo segue com os testes de funcionamento e produção industrial. (ABBOUD; GROTSCHER; KOCH, 2008) A etapa que define as formas físicas do aparelho eletrônico é a segunda. Logo, durante o desenho da PCB, pode-se realizar os procedimentos de definição de *design* de inúmeras maneiras. Dentre elas, podem existir *designs* eficientes – em que o dispositivo funciona corretamente e com tamanho adequado – ou mesmo desenhos em que o comprimento, disposição ou posição das conexões ou a posição e disposição dos componentes não é feito de maneira suficientemente eficaz. Assim, cabe análise da disposição dos componentes e do desenho das conexões com ajuda de ferramentas computacionais, e conseqüentemente o uso de técnicas de otimização.

Da mesma maneira podem ser tratados os *multi-chip modules* (MCM). Com a constante necessidade de miniaturização dos circuitos eletrônicos, a técnica de encapsulamento em que diversos componentes são agrupados em uma unidade física ganha cada vez mais espaço. (KHOO; CONG, 1992) Felizmente, as técnicas computacionais utilizadas para o projeto de PCBs podem ser utilizadas no desenho de MCMs, assim como as técnicas de otimização relacionadas.

Tendo em vista os problemas relacionados com o projeto e desenho de PCBs e MCMs, o presente trabalho tem como objetivo a pesquisa de métodos de otimização relacionados. O método utilizado para isso é o de revisão bibliográfica.

Após a introdução, serão apresentados alguns conceitos básicos e métodos de otimização utilizados para a concepção de projetos de placas de circuito impresso, ou mesmo no projeto de pastilhas MCM. Finalmente é elaborada uma breve discussão acerca dos assuntos abordados.

2 Conceitos básicos sobre PCB e MCM

Em uma placa de circuito impresso várias são as partes envolvidas na sua montagem. Por si só, a placa de circuito impresso propriamente dita – uma chapa de fibra de vidro ou outro material, coberta por finas camadas de cobre realizando as conexões entre os componentes – pode ser considerada uma parte do conjunto final. Dependendo da lógica e do tipo do circuito, diferente será a configuração de conexões, tamanho e furações da PCB.

Entre os diversos tipos de circuito, há aqueles que possuem entre seus componentes dispositivos com resposta puramente contínua se expostos a uma excitação elétrica, chamados componentes analógicos. Por outro lado, há circuitos que possuem em seus componentes dispositivos que tem resposta discreta se estimulados eletricamente, sendo esses chamados de componentes digitais. Assim, para aqueles circuitos em que há a presença predominante de componentes analógicos, se dá a denominação de circuitos analógicos. Já no caso de circuitos que possuem predominantemente a presença de componentes digitais, há a denominação de circuitos digitais. Ainda, há o caso em que há a presença de circuitos analógicos e digitais, que por sua vez são chamados circuitos de sinal misto, ou a definição em língua inglesa *mixed-signal circuit*.

Outra definição importante é a divisão entre componentes passivos e componentes ativos. A maioria dos circuitos integrados (do inglês *integrated circuit* -IC) são componentes ativos e possuem comportamento não-linear. Já os componentes passivos são aqueles que apresentam seu comportamento natural mesmo sem alimentação elétrica. Em outras palavras, um resistor não necessita de uma fonte de alimentação somente para si para limitar a corrente elétrica de um circuito. Da mesma forma, um capacitor não necessita de alimentação elétrica individual para armazenar energia em forma de campo elétrico. (NILSSON; RIEDEL, 2003)

Devido ao processo contínuo de diminuição de tamanho dos equipamentos nos últimos anos, a quantidade de ICs por placa tem aumentado drasticamente. Devido a sua característica de reunir vários blocos funcionais de um circuito em uma pequena pastilha de plástico ou cerâmica com núcleo de silício, o processo de miniaturização tem levado os projetistas a utilizar em larga escala esse tipo de dispositivo nas placas de circuito impresso. Um resultado do processo de miniaturização é o aumento da densidade de ICs por unidade de área nas placas PCB (ABBOUD; GROTSCHER; KOCH, 2008, p. 454). Isso também levou a um aumento considerável na razão entre componentes passivos e ativos. Usualmente, para cada componente ativo há entre vinte e trinta componentes passivos, denotando o forte processo de integração sofrido pelo mercado de componentes eletrônicos nos últimos anos.

Da mesma forma, as últimas fronteiras encontradas para a avanço da velocidade de microprocessadores está justamente no encapsulamento dos dispositivos. Supercomputadores e *mainframes* são um exemplo em que o atraso relacionado com extensas redes de conexão entre os componentes representam até metade do tempo de processamento perdido. Por isso a integração avançada dos sistemas eletrônicos, ou *very large system integration* (VLSI) em inglês, surge como solução, eliminando camadas inteiras de conexão elétrica e ajudando a melhorar a velocidade desses sistemas (CHO, *et al.*, 1994) através dos *multi-chip modules*. Felizmente, segundo Abboud *et al* (2008), os problemas relacionados com o projeto de sistemas VLSI são similares em muitos aspectos com os encontrados em placas de circuito impresso, cabendo a utilização das mesmas técnicas para a resolução dos problemas de roteamento.

2.1 Termos usualmente utilizados no projeto de PCB e MCM

Para o projeto de placas de circuito impresso, existem alguns termos utilizados pela indústria que devem ser introduzidos ao leitor. Devido a que a grande maioria dos elementos utilizados na indústria eletrônica e de componentes possua denominação universal em inglês, os termos serão apresentados também na língua inglesa.

Os componentes de todos os tipos possuem terminais em que são feitas as conexões elétricas para com o circuito elétrico, chamados de pinos, ou em língua inglesa *pin*. Já o receptáculo que a placa de

PCB possui para conectar-se aos pinos ou *pins* dos componentes é chamado de *pad*. Para um conjunto de *pins* e *pads* conectados a um mesmo ponto do circuito se dá o nome de *net*, ou na tradução literal, rede. É importante observar que as *nets* devem ser isoladas entre si, para que haja o correto funcionamento do circuito e evitando que ocorram curtos-circuitos indesejados (ABBOUD; GROTSCHHEL; KOCH, 2008, p. 455). Outra importante parte nas placas são as trilhas, que representam fisicamente as *nets*, ou seja, efetivamente realizam as conexões elétricas entre os componentes. São construídas através da moldagem, impressão ou usinagem das camadas condutivas metálicas presentes nas PCBs.

Outro termo importante e que merece atenção devido a sua recorrência na literatura relacionada com o desenho de PCBs é a *via*. Como as placas de circuito impresso podem possuir várias camadas de metal condutor para conexão, há a necessidade de se conectar essas camadas conforme a definição das *nets* do circuito. Isso é feito utilizando pequenos furos entre as camadas, com uma fina película condutora e cilíndrica interna ao orifício, conectando as diversas camadas a que o furo atravessa. Pode-se visualizar alguns tipos de estruturas em uma PCB através da Figura 2.

Com relação as maneiras com que os componentes podem ser unidos a placa de circuito impresso, há dois tipos principais. O método tradicional, em que os componentes são encaixados com seus pinos inseridos nos furos das *pads* da placa é chamado *through hole*. Para esse caso o pino, além de conectar o componente eletricamente no circuito, possui função de fixação mecânica a placa. Esse método, largamente utilizado no passado implica em utilização de mais espaço na placa. Por outro lado, com a tendência de miniaturização dos circuitos elétricos, desenvolveu-se o método de componentes de montagem superficial ou *surface mount devices*. Nesse caso, os componentes são colados na placa e a soldagem é feita somente na superfície da PCB, sem a necessidade de passagem do pino entre as camadas da placa. Isso causa que o espaço ocupado pelas conexões dos pinos é muito menor do que no caso do sistema *through hole* (ABBOUD; GROTSCHHEL; KOCH, 2008, p. 455).

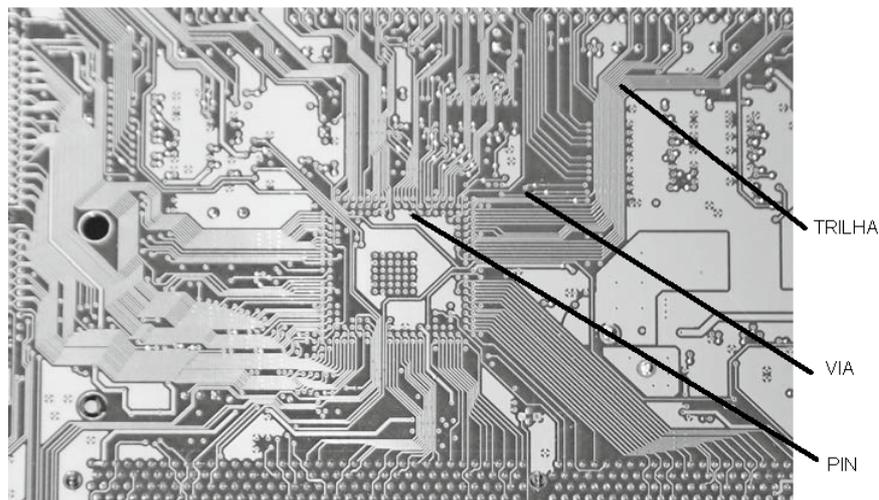


Figura 2: Parte inferior de uma PCB. Fonte: Adaptado de Abboud *et al* (2008).

2.2 Problemática sob o ponto de vista da otimização

A maioria dos artigos relacionados ao assunto deixa explícito que a tarefa relacionada com o projeto de PCBs pode ser resolvida com a utilização de heurísticas. Isso não causa surpresa, uma vez que os problemas encontrados no projeto físico de PCBs são usualmente do tipo *NP* e têm resolução com alto custo computacional. Nesse ponto, é importante observar que a grande maioria das conexões – ou *nets* – efetuadas entre componentes possui apenas a ligação entre dois terminais. Essa propriedade explica porque vários métodos heurísticos trabalham muito bem com esse tipo de problema, apesar de

sua simplicidade (ABBOUD; GROTSCHHEL; KOCH, 2008). Todavia, o desenvolvimento teórico desses métodos obteve progresso apenas nos últimos anos.

Se por um lado o estudo desses métodos se deu apenas nos últimos anos, no aspecto prático existem vários tipos de software comerciais especializados para esse tipos de projeto. Apesar dessa grande oferta, é extremamente difícil comparar os diversos programas, já que não há processos definidos de comparação entre PCBs projetadas por softwares comerciais. De outra forma ocorre com o projeto de sistemas VLSI, que possuem alguns padrões pré-definidos para comparação entre os projetos.

Apesar desse tratamento teórico mais comum, outros pesquisadores chegaram a conclusões diferentes sobre esse problema. Segundo Marek-Sadowska (1984), a maioria dos problemas de roteamento em duas camadas, ou duas *layers*, produz uma grande quantidade de *vias*. Isso decorre do fato de que uma das camadas ou *layers* são orientadas predominantemente no sentido vertical ou horizontal, enquanto a outra *layer* é orientada na direção perpendicular. Isso, para o simples objetivo de roteamento da placa, funciona. Porém, há algumas razões para manter o número de *vias* o menor possível. A primeira delas decorre do fato que um aumento do número de *vias* causa uma diminuição no rendimento do circuito. A segunda está relacionada com o aumento de resistência causada pelo aumento do número de *vias*. A última, advém da característica de que quanto maior o número de *vias* maior o espaço ocupado por elas e menor o espaço disponível para a passagem de trilhas. Assim, o pesquisador conclui que devido a importância do número de *vias*, pode-se definir a função objetivo do problema relacionando-a com o número de *vias*. Finalmente, chega-se a dois tipos de problemas conforme a modelagem utilizada: *constrained via minimization* (CVM) e *unconstrained via minimization* (UVM). Já Cheng e Deutsch (1988), além de tratarem da função objetivo através do ponto de vista da minimização do número de *vias*, também discorrem sobre a troca de posição das *vias*, ou *via shifting*. Segundo os autores, o objetivo desse novo método é deslocar as *vias* de maneira que se reduza o *bump propagation*, ou seja, a propagação de desvios nas trilhas devido a um desvio primário devido a uma passagem próximo a uma via. Um exemplo desse problema pode ser visualizado na

Figura 3. Além disso, os pesquisadores tratam em seu artigo sobre o *wire straightening*, que nada mais é que a regularização do desenho das trilhas. Porém, o método se mostra dificultoso para modelagem matemática.

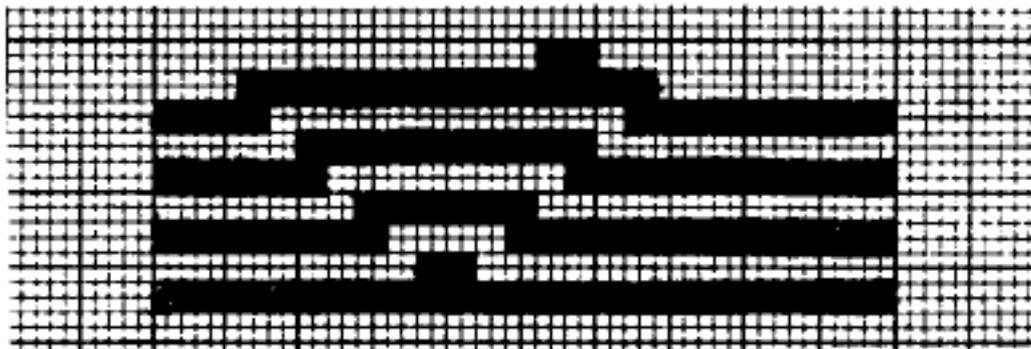


Figura 3: Bump propagation. Fonte: Adaptado de Cheng e Deutsch (1988).

Outros autores por sua vez concentraram-se no desenvolvimento de métodos para o crescente mercado de MCMs. Diferentemente dos casos em que se estuda o roteamento de PCBs, em que há disponibilidade de somente até dez *layers* (o caso mais usual se dá com uma ou duas *layers*), há grande variedade de *layers* para utilização. Em alguns tipos de substrato, chega-se a 63 *layers* (CHO, *et al.*, 1994). Assim, os algoritmos desenvolvidos para o desenvolvimento de projetos em VLSI trabalham com uma menor restrição técnica de recursos de roteamento. Khoo e Cong (1992) concentraram seus estudos em algoritmos de roteamento de MCMs. Os primeiros estudados tinham o princípio básico se concentra em dividir as *layers* disponíveis em um número de pares x-y. Essa divisão se baseia em

separar algumas layers com direção horizontal (x) e outras com direção vertical (y). Outros algoritmos estudados pelos autores também concentram-se nessa idéia, um exemplo é o SLICE. A idéia principal por trás desse algoritmo é a execução do roteamento primeiro em uma layer, e após isso, executar o roteamento incompleto com outras layers. Khoo e Cong (1995) posteriormente publicaram estudos em que comprovam que qualquer desenho de circuito pode ser resolvido utilizando não mais que quatro vias por conexão.

A complexidade prática dos projetos de MCM é um fator preponderante para que apenas grandes corporações realizem seu desenvolvimento. Assim, devido a maioria dos projetos eletrônicos serem desenvolvidos em placas de PCB, o presente trabalho concentra-se na descrição de métodos utilizados para placas de circuito impresso

3 Métodos de posicionamento

A tarefa de posicionamento dos componentes eletrônicos de um projeto na placa consiste em encaixar fisicamente os diversos dispositivos na placa, de uma maneira que torne factível o processo de produção (ABBOUD; GROTSCHHEL; KOCH, 2008). Apenas após esse processo a tarefa de roteamento torna-se possível. Obviamente, o posicionamento dos componentes na placa tem um efeito muito grande no processo de roteamento que se segue. Uma vez que as condições para o posicionamento de componentes tem restrições menores, ou seja, os componentes devem apenas ter uma distância mínima entre eles, o objetivo principal do posicionamento é possibilitar um bom processo de roteamento. Segundo Karypis e Kumar (1999), esse processo deveria ser feito de uma só vez, porém, as dificuldades envolvidas com o processo fazem com que as tarefas sejam feitas sequencialmente.

Como dito anteriormente, as limitações para o posicionamento de componentes são poucas. Isso faz com que uma variedade de métodos seja utilizável para o problema. Assim, praticamente qualquer método heurístico pode ser utilizado no processo de posicionamento, como por exemplo, o desenvolvimento de clusters (AREIBI; YANG, 2004), sistemas baseados em conhecimento (PANNÈREC, 2003), simulated annealing (SECHEN; SANGIOVANNI-VINCENTELLI, 1986) e algoritmos genéticos (COHOON; PARIS, 1987). Os métodos de posicionamento podem ser classificados em duas categorias principais: posicionamento recursivo por corte mínimo e posicionamento analítico.

3.1 Posicionamento recursivo por corte ou partição

O posicionamento recursivo por corte consiste basicamente na divisão do circuito principal em outros menores, chamados *sub-circuits*. A ideia é semelhante à usada na construção de blocos no desenho técnico assistido por computador, em que juntam partes que possuem características em comum. O objetivo principal por trás desse artifício é reduzir o número de conexões externas a esse bloco, reunindo a maioria das conexões – internas ao bloco – em uma distância relativamente menor. Outro ponto em destaque é a divisão da superfície da placa no sentido vertical e horizontal, dando a definição a essas áreas de *sub-regions*. Esse procedimento é repetido aos *sub-circuits* e *sub-regions* até que o circuito seja totalmente posicionado (ABBOUD; GROTSCHHEL; KOCH, 2008, p. 458).

Esse método de resolução da tarefa de posicionamento assemelha-se ao problema do hipergrafo, em que os componentes correspondem aos nós e as conexões são análogas as hiperarestas conectando os componentes. Assim, analogamente, a divisão do circuito consiste na divisão do problema do hipergrafo. Os problemas resultantes podem ser chamados de partição balanceada do hipergrafo e também problema da bissecção do hipergrafo. Ambos são classificados como problemas do tipo NP (LENGAUER, 1990, ABBOUD, 2008) e várias heurísticas são propostas na literatura. Duas soluções mais comuns do ponto de vista da heurística são Fiduccia e Mattheyses (1982), para a resolução do problema da partição balanceada do hipergrafo e o algoritmo de Kernighan e Lin (1970) *apud* Abboud (2008) para a resolução do problema da bissecção do hipergrafo. Ambas as técnicas são de melhoramento iterativo.

Outras soluções utilizando técnicas semelhantes podem ser encontradas na literatura, com em Karypis e Kumar (1999) e Zhao *et al* (2005), que propôs uma estrutura unificada para a análise e o desenvolvimento de vários problemas de partição. Além disso, sob o ponto de vista do projeto VLSI, existem os trabalhos de Lengauer (1990), Alpert e Kahng (1995), Yang e Wong (1996) *apud* Abboud (2008) e Papa e Markov (2006) *apud* Abboud (2008).

3.2 Posicionamento analítico

As técnicas de posicionamento analítico - muito utilizadas no projeto VLSI - podem também ser utilizadas no problema de posicionamento de componentes em placas de circuito impresso. Sua vantagem com relação aos métodos de partição vistos anteriormente é a visão global do problema. Enquanto os métodos de partição que minimizam o número de cruzamento de conexões já na primeira iteração e depois convergem em resultados não satisfatórios, os métodos analíticos atingem resultados melhores (ABBOUD; GROTSCHHEL; KOCH, 2008, p. 458). Segundo Abboud *et al* (2008), esses métodos podem ser classificados em dois tipos: assinalamento quadrático e posicionamento quadrático.

3.2.1 Assinalamento quadrático

Esse método baseia-se na ideia de que, dado um número de componentes para um determinado número de posições na placa, deseja-se atribuir uma posição para cada componente com certas restrições físicas, objetivando-se minimizar o comprimento das conexões. Essa tarefa pode ser formulada como um problema de otimização linear inteira (AKERS, 1982, *apud* ABBOUD, 2008) ou como uma função objetivo quadrática (WEISMANTEL, 1992, ABBOUD, 2008). A superfície da placa é dividida como uma rede de pontos, com células retangulares com dimensões definidas. Assim, o componente é posicionado na placa de maneira que preencha uma célula retangular, formando um conjunto de células. Para a modelagem, um componente i deve ser assinalado para uma célula k . Se i é posicionado de tal maneira que seu canto inferior esquerdo coincide com a posição na rede da célula k e essa é uma posição possível para o componente, a célula k é chamada factível para o componente i . Tomando n como o número de componentes e m o número de células, define-se $Z(i)$ como o conjunto de células factíveis para o componente i . Para cada componente i e cada posição k do seu conjunto de possíveis posições, introduz-se uma variável binária x_{ik} , que tem valor unitário se e somente se um componente i é assinalado a posição k . O modelo quadrático de assinalamento proposto por Weismantel (1992) é definido como se segue

$$\min \sum_{i=1}^{n-1} \sum_{j=i+1}^n \sum_{k \in Z(i)} \sum_{l \in Z(j)} c_{ij} d(i, k, j, l) x_{ik} x_{jl} \quad (1)$$

$$+ \lambda_0 \sum_{i=1}^{n-1} \sum_{j=i+1}^n \sum_{k \in Z(i)} \sum_{l \in Z(j)} o(i, k, j, j) x_{ik} x_{jl} \quad (2)$$

$$\text{sujeito a } \sum_{k \in Z(i)} x_{ik} = 1 \text{ para todo } i = 1, \dots, n \quad (3)$$

$$x_{ik} \in \{0,1\} \text{ para todo } i = 1, \dots, n \text{ e } k \in Z(i) \quad (4)$$

A função objetivo é composta por dois componentes: a equação 1 é uma aproximação do comprimento total das conexões calculada através de c_{ij} , representado pela equação 5.

$$c_{ij} = \sum_{t \in T} \frac{1}{\alpha_t - 1} \quad (5)$$

Se t é uma conexão ligando i e j , logo c_{ij} é maior que zero. Já se não há t conectando i e j , c_{ij} é zero. Já T é o conjunto de todas as conexões, α_t é a cardinalidade de uma conexão t e $d(i, k, j, l)$ representa a menor distância ortogonal entre os componentes i e j assinalados as células k e l .

O segundo termo, dado pela equação 2, representa o número de cruzamentos. O coeficiente $o(i, k, j, l)$ representa o número de células compartilhadas pelos componentes i e j quando assinalados as células k e l . Uma vez que é desejável um desenho em que não haja cruzamentos, um grande fator de penalização λ_0 é assinalado a segunda parcela da função objetivo. As equações 3 e 4 representam as restrições para um posicionamento factível.

Outra formulação é possível, já que os componente podem ser rodados em diversos ângulos retos. Assim haverão quatro posições possíveis para o componente na mesma célula e refinando ainda mais o processo de otimização.

3.2.2 Posicionamento quadrático

A ideia por trás desse método é modelar o problema de posicionamento de tal maneira que possa ser resolvido por métodos de otimização convexa (ABBOUD; GROTSCHHEL; KOCH, 2008, p. 460). No posicionamento quadrático, o modelo *clique* e o modelo estrela são tradicionalmente utilizados como modelos para estimação do comprimento das conexões. No modelo *clique*, cada conexão multi-terminais é representada como um *clique* e o comprimento das conexões são representados pela soma das distâncias retilineares entre cada par de pontos. No modelo estrela, um conjunto de terminais em uma conexão é representado por uma estrela com pesos de aresta uniformes conectando todos os terminais a um novo ponto adicional, chamado de nó estelar.

4 Modelos de roteamento

Embora o roteamento de conexões seja um problema estudado há muito tempo, o roteamento automático de placas com grandes concentrações de componentes é um objetivo difícil de atingir (ABBOUD; GROTSCHHEL; KOCH, 2008, p. 461). Como a maioria dos programas comerciais emprega heurísticas, nunca fica claro se o problema é possível ou o algoritmo usado não é adequado ao problema. Alguns métodos principais podem ser encontrados na literatura relacionada, como se segue.

4.1 Árvores de Steiner

O problema de roteamento de uma conexão ou *net*, pode ser visto como uma árvore de Steiner. Dado um grafo de arestas balanceadas $G = (V, E, c)$ e um conjunto não vazio de nós $T \subseteq V$ chamados de terminais, encontra-se a árvore mais leve em G que se estende por T . O problema é do tipo *NP*, mas é possível de se encontrar soluções com ótimos locais e como resultado há uma grande variedade de heurísticas disponíveis, como em Takahashi e Matsuyama (1980) *apud* Abboud (2008).

Por sua vez, circuitos integrados possuem algumas vezes pinos que têm a mesma função do que outros, possibilitando que se modifique o pino a conectar a uma trilha. Isso pode ser modelado como um problema de árvore agrupada de Steiner. Dado um grafo $G = (V, E, c)$ e $N \in \mathbb{N}$ agrupados dois a dois em subconjuntos de nós não vazios $Z_n \subseteq V$, chamado de grupos de terminais, procura-se um conjunto de arestas S^* de maneira que $(V(S^*), S^*)$ é uma árvore com peso mínimo contendo pelo menos um nó para cada grupo, ou seja, $V(S^*) \cap Z_n \neq \emptyset$ para todo $n \in N$.

Também é possível transformar problemas de árvore agrupada de Steiner em problemas de árvore de Steiner normais introduzindo um nó artificial para cada grupo de terminais e conectando todos os terminais desse grupo com esse nó. O procedimento usualmente utilizado é o de se escolher o terminal a ser utilizado antes do roteamento. Essa tarefa é chamada de problema de assinalamento de pino (KOREN, 1972, *apud* ABBOUD, 2008). Normalmente o objetivo é similar com o encontrado no posicionamento de componentes. Para grandes circuitos integrados, como microprocessadores, tanto o roteamento de conexões entre o próprio *chip* e outros *chips* deve ser considerados (XUE; KUH; YU, 1996).

4.2 Problema de empacotamento de Steiner

O roteamento de todas as conexões da placa pode, em um primeiro momento, ser definido como um problema de empacotamento de Steiner. Dado um grafo $G = (V, E, c)$ e $N \in \mathbb{N}$ agrupados dois a dois em subconjuntos de nós não vazios $T_n \subseteq V$, $n \in \{1, \dots, N\}$, chamados de *nets*, encontra-se para cada *net* um conjunto de arestas S_n^* de maneira que $(V(S_n^*), S_n^*)$ é uma árvore que difunde de T_n . Os problemas de roteamento e de empacotamento são bastante semelhantes e ambos são do tipo *NP*, porém há a diferença que o problema de roteamento possui arestas com balanceamento (ABBOD; GROTSCHHEL; KOCH, 2008, p. 462). São revisados dois métodos, como se segue:

4.2.1 Formulação de fluxo multimercadoria

Método proposto por Wong (1984) tem a vantagem que há apenas um número polinomial de variáveis e restrições. Dado um grafo de pontos bidirecionais balanceados $G = (V, A, c)$, e os conjuntos T_1, \dots, T_N , com $N > 0$, $\mathfrak{N} = \{1, \dots, N\}$ de terminais, arbitrariamente se escolhe uma raiz $r_n \in T_n$ para cada $n \in \mathfrak{N}$. Toma-se $R = \{r_n | n \in \mathfrak{N}\}$ que é o conjunto de todas as raízes e $T = \bigcup_{n \in \mathfrak{N}} T_n$ seja a união de todos os terminais. Introduce-se as variáveis binárias x_{ij}^{-n} para todo $n \in \mathfrak{N}$ e $(i, j) \in A$, em que $x_{ij}^{-n} = 1$ se e somente se o arco $(i, j) \in S_n$. Adicionalmente, introduz-se as variáveis não negativas y_{ij}^t para todo $t \in T \setminus R$. Para todo $i \in V$, define-se $\delta_i^+ := \{(i, j) \in A | j \in V\}$ e $\delta_i^- := \{(j, i) \in A | j \in V\}$. Para todo $t \in T_n$, com $n \in \mathfrak{N}$, define-se $\sigma(t) := n$ (ABBOD; GROTSCHHEL; KOCH, 2008, p. 462). A equação 6 é a formulação do problema de empacotamento de Steiner para qualquer grafo requerendo a desconexão das arestas mas não dos nós.

$$\min \sum_{n \in \mathfrak{N}} \sum_{(i,j) \in A} c_{ij}^n x_{ij}^{-n} - \sum_{(i,j) \in \delta_j^-} y_{ij}^t - \sum_{(j,k) \in \delta_j^+} y_{jk}^t = \begin{cases} 1 & \text{se } j = t \\ -1 & \text{se } j = r_{\sigma(t)} \\ \text{senão } 0 \end{cases} \quad p/ \text{ todo } j \in V, t \in T \setminus R \quad (6)$$

$$0 \leq y_{ij}^t \leq x_{ij}^{-\sigma(t)} \quad \text{para todo } (i, j) \in A, t \in T \setminus R \quad (7)$$

$$\sum_{n \in \mathfrak{N}} (x_{ij}^{-n} + x_{ji}^{-n}) \leq 1 \quad \text{para todo } (i, j) \in A \quad (8)$$

$$x_{ij}^{-n} \in \{0, 1\} \quad \text{para todo } n \in \mathfrak{N}, (i, j) \in A \quad (9)$$

No modelo anterior, duas *nets* diferentes podem compartilhar o mesmo nó. Para obter uma solução com nós individuais deve-se adicionar ao modelo a equação 10.

$$\sum_{n \in \aleph} \sum_{(i,j) \in \delta_j^-} x_{ij}^{-n} \leq \begin{cases} 0 & \text{se } j \in R \\ \text{senão } 1 & \text{para todo } j \in V \end{cases} \quad (10)$$

A vantagem dessa formulação é que modela todas as conexões simultaneamente. Porém, o tamanho do grafo aumenta rapidamente com o aumento do número de terminais.

4.2.2 Formulação da divisão não-direcionada

Sendo um grafo de pontos com arestas balanceadas $G = (V, A, c)$, e o conjunto de terminais T_1, \dots, T_N , com $N > 0$, $\aleph = \{1, \dots, N\}$, introduz-se variáveis binárias x_{ij}^n para todos os $n \in \aleph$ e $(i, j) \in E$. Essa variável é igual a um se e somente se a aresta $(i, j) \in S_n$. Além disso, define-se $\delta(W) = \{ij \in E | i \in W\}$ para $W \subseteq V$. A formulação demonstrada na equação 11 demonstra o modelo para o roteamento com uma camada de cobre (ABBOUD; GROTSCHTEL; KOCH, 2008, p. 463).

$$\min \sum_{n \in \aleph} \sum_{ij \in E} c_{ij} x_{ij}^n \quad \sum_{ij \in \delta(W)} x_{ij}^n \geq 1 \text{ para todo } W \subset V, W \cap T_n \neq \emptyset, (V \setminus W) \cap T_n \neq \emptyset, n \in \aleph \quad (11)$$

$$\sum_{n \in \aleph} x_{ij}^n \leq 1 \text{ para todo } ij \in E \quad (12)$$

$$x_{ij}^n \in \{0,1\} \text{ para todo } n \in \aleph, ij \in E \quad (13)$$

O modelo pode ainda ser melhorado com várias desigualdades apresentadas em Grotschel *et al* (1996) *apud* Abboud (2008). Usando ainda as capacidades das arestas, a formulação pode ser estendida para várias camadas de *layers*.

Uma vez que a formulação apresenta apenas uma *layer* explicitamente no modelo, o assinalamento das conexões até elas deve ser feito em um passo subsequente (ABBOUD; GROTSCHTEL; KOCH, 2008, p. 463), definindo um problema de assinalamento de *layers*. Isso significa a definição do número e da localização das *vias* em uma PCB. Como o aumento de *vias* encarece o projeto da placa de circuito impresso, torna-se interessante sua minimização, recaindo nos métodos apresentados por Marek-Sadowska (1984).

Uma vez que os componentes já são posicionados, as *layers* e *pins* já estão fixos e definidos. Grotschel *et al* (1989) *apud* Abboud (2008) descreve como transformar esse problema em um de corte, definindo a solução exata por heurística.

4.3 Roteamento por heurística

A heurística é o método de otimização mais utilizado para roteamento de placas de circuito impresso na prática (ABBOUD; GROTSCHTEL; KOCH, 2008, p. 463). Existem dois tipos básicos de métodos para encontrar caminhos entre os terminais a serem roteados. Um tipo são os roteadores baseados em rede de pontos, introduzidos por Lee (1961) *apud* Abboud (2008). A outra modalidade é a chamada de *gridless routers*, que não possui rede de pontos para o seu funcionamento.

Uma vez que o roteamento por tentativa e erro não produz resultados factíveis, usualmente uma das duas seguintes técnicas é utilizada: Os chamados métodos de roteamento *dynamic* ou também chamado *rip-up and retry*, em que caso uma conexão que encontra algum obstáculo para a sua ligação, o roteador desconecta a trilha que o interrompe e a deixa para rotear posteriormente, após a primeira ser corretamente roteada (DEES; SMITH, 1981). Outro método é o iterativo, em que as conexões são

realizadas mesmo que ocorram cruzamentos não desejados. Na próxima iteração, algumas penalidades são aplicadas a essas áreas em que ocorrem cruzamentos, com o objetivo de provocar diferentes tipos de roteamento nessas áreas, melhorando o *design* da placa de circuito impresso. Além disso, métodos híbridos criados pelo cruzamento de características das técnicas apresentadas são implementadas e são possíveis (CONG; MADDEN, 1998).

Já outras técnicas oferecem a operação heurística orientada por níveis de hierarquia, que pode ser definida utilizando noções de compatibilidade eletromagnética (SCHMIDT *et al*, 1995, *apud* ABBOUD, 2008) e outros detalhes de operação importantes, como a dissipação térmica ou mesmo o agrupamento de circuitos do mesmo tipo.

5 Conclusão

A revisão de métodos apresentada por esse trabalho apontou técnicas mais importantes relacionadas a otimização de procedimentos de posicionamento e roteamento de placas de circuito impresso e circuitos VLSI. Fica claro que a solução - do ponto de vista da otimização - para maioria desses problemas emprega técnicas de heurística especialmente adaptadas ao caso. Outro campo importante e que também pode ser atendido pelas técnicas de otimização de posicionamento e roteamento é o da montagem de circuitos impressos em máquinas automáticas, chamadas de *pick and place*. Esse tipo de problema tem sua solução apresentada em diversos artigos publicados em periódicos relacionados.

Atualmente já existe uma grande quantidade de *softwares*, com funcionamento direcionado para a tarefa de roteamento de circuitos impressos, reunindo inclusive plataformas de simulação de circuitos elétricos. Porém, os métodos utilizados nesse programas são protegidos por segredo industrial, mas com certeza empregam o conhecimento de otimização em seus algoritmos. Outro ponto a salientar, é a ausência de métodos de comparação entre esses softwares, dada a grande variedade de problemas existentes em cada ramo de mercado atendido por eles.

Conseqüentemente, o problema de roteamento de placas circuitos impressos e circuitos encapsulados com tecnologia VLSI representa um campo de estudo relativamente complexo na área da Engenharia Elétrica. Normalmente, os métodos apresentados no presente trabalho e em vários outros não atuam isoladamente na resolução de problemas de roteamento. Dessa maneira, o problema toma outros caminhos, já que além dos métodos de otimização, avançadas técnicas de desenho assistido por computador e de banco de dados são reunidas em *softwares* específicos para a resolução de problemas desse tipo. Assim, a pesquisa desse tema deve tomar caminhos direcionados a interdisciplinaridade, reunindo as técnicas matemáticas de otimização, conhecimentos de computação gráfica e também tecnologias relacionadas a banco de dados.

6 Referências

ABBOUD, N.; GROTSCHER, M.; KOCH, T. Mathematical methods for physical layout of printed circuit boards: an overview. **OR Spectrum**. 30, Maio/2008. 453-468.

ADYA, S. N. et al. Min-cut floorplacement. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**. 25, n. 7, Julho/2006. 1313 - 1326.

ALPERT, C. J.; KAHNG, A. B. Multiway partitioning via geometric embeddings, orderings, and dynamic programming. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**. 14, n. 11, Novembro/1995. 1342 - 1358.

AREIBI, S.; YANG, Z. Effective Memetic Algorithms for VLSI Design = Genetic Algorithms + Local Search + Multi-Level Clustering. **Evolutionary Computation**. v. 12, n. 3, p. 327-353, 2004.

- CHENG, C.-K.; DEUTSCH, D. N. **Improved channel routing by via minimization and shifting.** Design Automation Conference, 1988. Proceedings., 25th ACM/IEEE. [S.l.]: IEEE. 1988. p. 677 - 680.
- CHO, J. D. et al. M2R: multilayer routing algorithm for high-performance MCMs. **Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on.** 41, n. 4, 1994. 253 - 265.
- COHOON, J. P.; PARIS, W. D. Genetic Placement. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems.** 6, n. 6, Novembro/1987. 956 - 964.
- CONG, J.; MADDEN, P. H. **Performance driven multi-layer general area routing for PCB/MCM designs.** Design Automation Conference. [S.l.]: IEEE. 1998. p. 356 - 361.
- DEES, W. A.; SMITH, R. J. . I. **Performance of Interconnection Rip-Up and Reroute Strategies.** 18th Conference on Design Automation. [S.l.]: IEEE. 1981. p. 382 - 390.
- FIDUCCIA, C. M.; MATTHEYSES, R. M. **A Linear-Time Heuristic for Improving Network Partitions.** 19th Conference on Design Automation. [S.l.]: IEEE. 1982. p. 175 - 181.
- HONGHUA YANG, H.; WONG, D. F. Balanced partitioning. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems.** 15, n. 12, Dezembro/1996. 1533 - 1540.
- KARYPIS, G.; KUMAR, V. **Multilevel k-way hypergraph partitioning.** 36th Design Automation Conference. [S.l.]: IEEE. 1999. p. 343 - 348.
- KHOO, K.-Y.; CONG, J. **A fast multilayer general area router for MCM designs.** Design Automation Conference, 1992., EURO-VHDL '92, EURO-DAC '92. European. [S.l.]: IEEE. 1992. p. 292-297.
- KHOO, K.-Y.; CONG, J. **An Efficient Multilayer MCM Router Based on Four-Via Routing.** IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS. [S.l.]: IEEE. 1995. p. 1277-1290.
- LENGAUER, T. **Combinatorial Algorithms for Integrated Circuit Layout.** [S.l.]: Vieweg+Teubner Verlag, 1992. ISBN 978-3-322-92106-2.
- MAREK-SADOWSKA, M. An Unconstrained Topological Via Minimization Problem for Two-Layer Routing. **IEEE Transactions on Computer-Aided Design.**, Julio/1984. 184-190.
- NILSSON, J. W.; RIEDEL, S. A. **Circuitos Eléctricos.** 6^a. Rio de Janeiro: LTC, 2003.
- PANNÈREC, T. **Knowledge-Based Automatic Components Placement for Single-Layer PCB Layout.** 7th International Conference, KES 2003. Oxford: Springer. 2003. p. 669-675.
- SECHEN, C.; SANGIOVANNI-VINCENTELLI, A. **TimberWolf3.2: A New Standard Cell Placement and Global Routing Package.** 23rd Conference on Design Automation. [S.l.]: IEEE. 1986. p. 432-439.
- XUE, T.; KUH, E. S.; YU, Q. **A sensitivity-based wiresizing approach to interconnect optimization of lossy transmission line topologies.** Multi-Chip Module Conference. [S.l.]: IEEE. 1996. p. 117 - 122.

ZHAO, L.; NAGAMOCHI, H.; IBARAKI, T. Greedy splitting algorithms for approximating multiway partition problems. **Mathematical Programming.** 102, n. 1, 2005.